

JP11204523

**Title:
MANUFACTURE OF SEMICONDUCTOR DEVICE**

Abstract:

PROBLEM TO BE SOLVED: To prevent the increase in capacitance between copper wirings and to provide sufficient barrier properties for the copper wirings by selectively forming a silicon film on the surface of the copper wiring, having the silicon film react with the material containing an element other than copper, and forming the barrier film.

SOLUTION: A wiring groove is formed in an interlayer insulating film 12 provided on a silicon substrate 11. A nitride titanium film 13 for the bottom part and the side part of a copper wiring is formed. Furthermore, a copper film 14 is formed by electric field plating.

The substrate wherein a copper wiring 14 is formed is introduced into a tightly closed container filled with monosilane atmosphere, and the atmosphere is held at the substrate temperature. Thus, a silicon film 15 is selectively formed at the surface of the copper wiring 14. The substrate 15, wherein this silicon film 15 is formed is transported into a plasma nitriding process chamber, without breaking the vacuum atmosphere. Then, the substrate temperature is maintained, the silicon film 15 is nitrided by plasma processing in the nitrogen gas, and a silicon nitride film (barrier film) 16 is formed.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204523

(43)公開日 平成11年(1999)7月30日

(51) Int.Cl.
H 01 L 21/3205
21/28

識別記号
301

F I
H 01 L 21/88
21/28

M
301 R

審査請求 未請求 請求項の数6 O.L (全6頁)

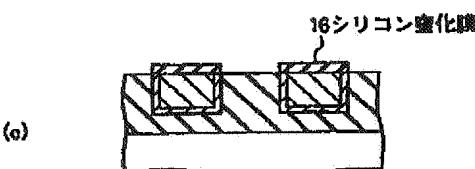
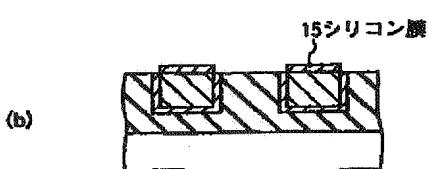
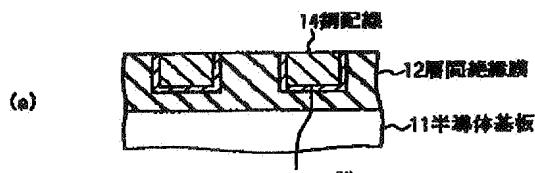
(21)出願番号 特願平10-1654
(22)出願日 平成10年(1998)1月7日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者 松田 哲朗
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 飯島 国
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(72)発明者 金子 尚史
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 銅配線に対するバリア性を向上させる。
【解決手段】 半導体基板11正面側に形成された銅配線14の表面にシリコン膜15を選択的に形成する工程と、このシリコン膜15を例えば窒素と反応させて銅配線14に対して自己整合的にバリア膜16を形成する工程とを有する。



(2)

特開平11-204523

1

2

【特許請求の範囲】

【請求項1】半導体基板正面側に形成された銅配線の表面にシリコン膜を選択的に形成する工程と、このシリコン膜を銅以外の少なくとも1種類の元素を含む物質と反応させてバリア膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記バリア膜を形成する工程は、前記シリコン膜を窒素と反応させてシリコン及び窒素を含むバリア膜を形成するものであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記バリア膜を形成する工程は、前記シリコン膜を銅以外の所定の金属と反応させてシリコン及び前記所定の金属を含むバリア膜を形成するものであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】前記バリア膜を形成する工程は、前記シリコン膜を銅以外の所定の金属及び窒素と反応させてシリコン、前記所定の金属及び窒素を含むバリア膜を形成するものであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】半導体基板正面側に形成された銅配線の表面にシリコン膜を選択的に形成する工程と、このシリコン膜を銅以外の所定の金属と置換してバリア膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】前記シリコン膜を形成する工程は、銅配線の表面にシラン又はシラン化合物を用いてシリコン膜を選択的に形成するものであることを特徴とする請求項1乃至5のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法、特に銅配線を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】LSIには従来よりアルミニウム配線が一般的に使用されているが、これを超える電気伝導度や信頼性を有する低抵抗金属配線として銅配線の開発が進められている。銅の比抵抗は、 $1.8 \mu\Omega \cdot \text{cm}$ 程度であり、アルミニウムの $2.9 \mu\Omega \cdot \text{cm}$ に対して40%近い電気抵抗の減少が期待できる。

【0003】一方で、銅配線プロセスの実現に際しては克服しなくてはいけないプロセス上の困難点が種々あり、LSIの誕生とほぼ同時に採用されたアルミニウムが今もなお配線材料の主流となっている。

【0004】銅配線プロセスの主な課題をあげると以下の通りである。第1に、銅のRIE(反応性イオンエッチング)加工が困難であり、配線パターンの形成が難しい。第2に、銅が層間絶縁膜(シリコン酸化膜系)の中を熱と電界により拡散するため、LSI中の他の素子へ

の影響や配線相互の電気的リークが懸念される。第3に、銅は酸化プロセスで容易に酸化されるが、この酸化膜は機械的化学的強度が弱い上に膜厚が厚いため、良質な配線形成の阻害要素となる。

【0005】第1の課題に対しては、溝への金属埋め込み(いわゆるダマシン配線プロセス)によってRIE加工無しに配線パターンを形成できるようになった。一方、第2、第3の課題に対しては、配線の周囲をバリア性材料(導体、絶縁体)で覆うことで対応することになる。

【0006】図5に示すように、半導体基板11上の層間絶縁膜12に形成されたダマシン溝へバリア膜13を形成することによって、銅配線14の下面及び側面の被覆は可能である。しかし、銅配線14の上面へのバリア膜の形成には他の方法を用いる必要がある。現在までに提案されている方法としては、以下のものがあげられる。

【0007】第1の方法は、図6に示すように、銅配線14を形成した後にSiN膜などのバリア性絶縁膜61で全面をすべて覆うものである。第2の方法は、図7に示すように、銅配線14を形成した後に無電解メッキや選択メタルCVDなどでバリア金属71を配線上面に形成するものである。第3の方法は、図8に示すように、ダマシン溝へバリア膜13及び銅配線14を形成し(同図a)、続いて銅配線14をエッチング(リセス)した後に全面にバリア膜81を形成し(同図b)、エッチングで形成された窪みにバリア膜81をダマシン法によって埋め込む(同図c)ものである。

【0008】しかしながら、第1の方法は、銅配線14間の層間絶縁膜12上に形成された高誘電率のSiN膜61によって配線間の静電容量が増加し、LSIの動作速度の低下を招くという問題がある。また、第2及び第3の方法は、工程が複雑であり、製造コストが増加するという問題がある。

【0009】また、Takewakiらによれば、150°Cから400°Cの銅表面でSiH₄ガスの選択的な分解及びSiの堆積が起こるとされている(T.Takewaki et al. "A Novel Self-Aligned Surface-Silicide Passivation Technology for Reliability Enhancement in Copper Interconnects", 1995 Symposium on VLSI Technology)。この現象を用いてTakewakiらは、銅配線表面に銅シリサイドを形成し配線の信頼性向上をはかっている。しかしながら、銅シリサイドは拡散や酸化の防止膜としては十分に機能しないという問題がある。

【0010】

【発明が解決しようとする課題】以上述べたように、低抵抗金属配線として銅配線が有望であるが、銅が層間絶縁膜中を拡散する、銅が酸化プロセスで容易に酸化されて機械的化学的強度が弱い酸化膜が形成されるといった問題があるため、銅配線表面へのバリア膜の形成が必須

(3)

特開平11-204523

3

となる。しかしながら、従来のバリア膜の形成方法では、配線間の静電容量が増加する、工程が複雑である、拡散や酸化の防止膜として十分に機能しないといった問題があった。

【0011】本発明は、上記従来の問題に対してなされたものであり、銅配線間の静電容量の増加を防止するとともに銅配線に対する十分なバリア性を有し、しかも簡単な工程でバリア膜を形成することの可能な半導体装置の製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、半導体基板正面側に形成された銅配線の表面にシリコン膜を選択的に形成する工程と、このシリコン膜を銅以外の少なくとも1種類の元素を含む物質と反応させてバリア膜(シリコン化合物膜)を形成する工程とを有する。

【0013】前記シリコン膜を形成する工程としては、銅配線の表面にシラン又はシラン化合物を用いてシリコン膜を選択的に形成する工程をあげることができる。前記銅以外の少なくとも1種類の元素としては、窒素或いは銅以外の所定の金属をあげることができる。したがつて、前記バリア膜を形成する工程としては、以下の工程をあげることができる。

【0014】(a) 前記シリコン膜を窒素と反応させてシリコン及び窒素を含むバリア膜を形成する。具体的には、シリコンの窒化反応によりバリア膜としてシリコン窒化膜が形成される。

【0015】(b) 前記シリコン膜を銅以外の所定の金属と反応させてシリコン及び前記所定の金属を含むバリア膜を形成する。具体的には、全面に所定の金属を成膜した後、熱処理によってシリコン膜上の所定の金属とシリコンとを反応させてシリサイドを形成し、その後シリコン膜上以外の所定の金属を除去する。所定の金属としては、低融点シリサイドを形成する金属(Ni、W、Ta、Co、Pt、Pd等)をあげることができる。なお、シリコンと銅以外の所定の金属との反応によりシリサイドが形成される際に、同時に銅配線の銅も反応して銅シリサイドも形成されることもあり、この場合には所定の金属のシリサイドと銅シリサイドとが混合したシリサイドが形成されることになる。

【0016】(c) 前記シリコン膜を銅以外の所定の金属及び窒素と反応させてシリコン、前記所定の金属及び窒素を含むバリア膜を形成する。所定の金属としては高融点金属(Ti、W、Ta等)をあげることができ、代表的には所定の金属としてTiを用いた3元系のバリア膜(TiSiN膜)があげられる。

【0017】前記発明によれば、銅配線の露出表面に選択的に形成されたシリコン膜を窒素や金属等と反応させることにより、銅配線に対して自己整合的にバリア膜を形成することができる。このバリア膜により銅の拡散や

4

酸化が抑制され、信頼性の高い半導体装置を製造することができる。また、銅配線に対して自己整合的にバリア膜が形成されるため、全面にシリコン窒化膜を形成したときに問題となっていた銅配線間の静電容量の増加を防止することができる。

【0018】また、本発明に係る半導体装置の製造方法は、半導体基板正面側に形成された銅配線の表面にシリコン膜を選択的に形成する工程と、このシリコン膜を銅以外の所定の金属と置換してバリア膜を形成する工程とを有する。

【0019】前記シリコン膜を形成する工程としては、銅配線の表面にシラン又はシラン化合物を用いてシリコン膜を選択的に形成する工程をあげることができる。また、所定の金属としてはWをあげることができる。

【0020】前記発明によれば、銅配線の露出表面に選択的に形成されたシリコン膜を所定の金属と置換することにより、銅配線に対して自己整合的にバリア膜を形成することができ、このバリア膜により銅の拡散や酸化が抑制され、信頼性の高い半導体装置を製造することができる。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。まず、本発明の第1の実施形態について図1を参照して説明する。まず、シリコン基板等の半導体基板11上に設けたシリコン酸化膜等の層間絶縁膜12に配線用の溝を形成する。なお、ここでは図示していないが、実際にはシリコン基板11上にはトランジスタ等の半導体素子が形成されている。統いて、全面に化成スパッターにより銅配線の底部及び側部に対するバリアメタルとなるTiN膜(窒化チタニウム膜)13を形成し、さらに電解メッキによって銅膜14を形成する。その後、CMP(化学的機械研磨)によって溝外のTiN膜13及び銅膜14をすべて除去し、埋め込み配線を形成する(図1(a))。

【0022】このようにして銅配線14が形成された基板を、圧力5Torrのモノシラン雰囲気で満たされた密閉容器内に導入し、基板温度300°Cで30分保持する。これにより、銅配線14の表面には選択的にシリコン膜15が形成される。その厚さは30~100オングストローム程度である(図1(b))。

【0023】次に、銅配線14の表面にシリコン膜15が形成された基板を、好ましくは真空雰囲気を破ることなくプラズマ窒化プロセス室に輸送する。そして、基板温度を300°Cに保持し、圧力1Torrの窒素ガス中で並行平板型のRFプラズマ放電(発振周波数:13.56MHz、パワー密度:2W/cm²)により10分間処理する。この際、窒素ガス以外に例えば水素ガスや酸素ガスなどを同時に導入しても構わない。このプラズマ処理により、シリコン膜15が窒化されてシリコン窒化膜(SiN膜)16が形成される(図1(c))。

(4)

特開平11-204523

5

【0024】以上のような工程を経ることによって、銅配線14の上部にバリア膜となるシリコン空化膜が自己整合的に形成される。銅配線14の上部にのみ選択的に形成された薄いシリコン空化膜16は、配線間の静電容量の増大にほとんど影響を与えない上、銅の拡散及び酸化に対するバリア膜として有効に機能することが確かめられた。

【0025】次に、本発明の第2の実施形態について図2を参照して説明する。なお、図1に示した第1の実施形態の構成要素と同一或いは対応する構成要素には同一番号を付している。

【0026】図2(a)及び(b)の工程は、第1の実施形態の図1(a)及び(b)の工程と同様である。すなわち、層間絶縁膜12に形成された配線用の溝内に、バリアメタルとなるTiN膜13を介して銅配線14を形成し(図2(a))、その後、モノシランを用いた熱処理により銅配線14の表面に選択的にシリコン膜15を形成する(図2(b))。

【0027】次に、銅配線14の表面にシリコン膜15が形成された基板を、好ましくは真空雰囲気を破ることなくスパッタ室に輸送する。そして、マグネトロンスパッタによりTiをスパッタリング(ターゲットはTi、圧力は3Pa、アルゴンと窒素の混合雰囲気中でアルゴンと窒素の比は1:1、パワーは1kW)する。このスパッタにより、層間絶縁膜12上にはTiN膜21が形成され、シリコン膜15表面にはTi-Si-Nの3元系のアモルファスの薄膜(TiSiN膜22)が形成される(図2(c))。

【0028】次に、TiN膜21を過酸化水素水で選択的にエッチングし、シリコン膜15上にTiSiN膜22を残す(図2(d))。以上のようにして、銅配線14の上部にバリア膜となるTiSiN膜22が自己整合的に形成される。銅配線14の上部にのみ選択的に形成されたTiSiN膜22は、薄い膜にもかかわらず、銅の拡散及び酸化に対するバリア膜として有効に機能することが確かめられた。

【0029】なお、本例ではターゲットとしてTiを用いたが、その他の高融点金属(例えば、W、Ta等)を用いて同様に3元系のバリア膜を形成しても、同様の効果を得ることができる。

【0030】次に、本発明の第3の実施形態について図3を参照して説明する。なお、図1に示した第1の実施形態の構成要素と同一或いは対応する構成要素には同一番号を付している。

【0031】図3(a)及び(b)の工程は、第1の実施形態の図1(a)及び(b)の工程と同様である。すなわち、層間絶縁膜12に形成された配線用の溝内に、バリアメタルとなるTiN膜13を介して銅配線14を形成し(図3(a))、その後、モノシランを用いた熱処理により銅配線14の表面に選択的にシリコン膜15

6

を形成する(図3(b))。

【0032】次に、銅配線14の表面にシリコン膜15が形成された基板を、好ましくは真空雰囲気を破ることなくスパッタ室に輸送する。そして、マグネトロンスパッタによりNiをスパッタリング(ターゲットはNi、圧力は3Pa、アルゴン雰囲気中、パワーは1kW)する。このスパッタにより、全面にNi膜31が形成される(図3(c))。

【0033】次に、基板温度350°Cでアニールを行うことにより、SiとNiが反応して銅配線14の上部にのみNiSi膜(ニシシリサイド)が形成される。なお、このときCuシリサイドも形成されるため、実際にはNiシリサイドとCuシリサイドとが混合したシリサイド膜32が形成されることになる(図3(d))。

【0034】次に、層間絶縁膜12上のNi膜31を過酸化水素水とH₂SO₄の混合溶液で選択的にエッチングし、銅配線14上に選択的にシリサイド膜32を残す(図3(e))。

【0035】以上のようにして、銅配線14の上部にバリア膜となるシリサイド膜32が自己整合的に形成される。銅配線14の上部にのみ選択的に形成されたシリサイド膜32は、銅の拡散及び酸化に対するバリア膜として有効に機能する。

【0036】なお、本例ではターゲットとしてNiを用いたが、その他の低融点シリサイドを形成する金属(例えば、W、Ta、Co、Pt、Pd等)を用いて同様にシリサイドのバリア膜を形成しても、同様の効果を得ることができる。ただし、極微細な配線に対しては、シリサイド化の拡散が主に金属である方がシリサイドの染み出しが少ないため望ましい。このような場合には、NiやCoを用いることが望ましい。

【0037】次に、本発明の第4の実施形態について図4を参照して説明する。なお、図1に示した第1の実施形態の構成要素と同一或いは対応する構成要素には同一番号を付している。

【0038】図4(a)及び(b)の工程は、第1の実施形態の図1(a)及び(b)の工程と同様である。すなわち、層間絶縁膜12に形成された配線用の溝内に、バリアメタルとなるTiN膜13を介して銅配線14を形成し(図4(a))、その後、モノシランを用いた熱処理により銅配線14の表面に選択的にシリコン膜15を形成する(図4(b))。

【0039】次に、銅配線14の表面にシリコン膜15が形成された基板を、好ましくは真空雰囲気を破ることなく処理室に輸送する。そして、WF₆、或いはWF₆及びH₂を用いたW-CVD法によりシリコン膜15をW膜41に置換して、銅配線14上に選択的にW膜41を形成する(図4(c))。

【0040】以上のようにして、銅配線14の上部にバリア膜となるW膜41が自己整合的に形成される。銅配

(5)

特開平11-204523

7

線14の上部にのみ選択的に形成されたW膜41は、銅の拡散及び酸化に対するバリア膜として有効に機能する。

【0041】以上、本発明のいくつかの実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0042】

【発明の効果】本発明によれば、銅配線の表面に選択的に形成されたシリコン膜に対して所定の処理を施すことにより銅配線に対して自己整合的にバリア膜が形成され、このバリア膜により銅の拡散や酸化が十分に抑制され、信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示した図であり、銅配線の上部のバリア膜としてシリコン空化膜を用いたときの製造工程断面図。

【図2】本発明の第2の実施形態を示した図であり、銅配線の上部のバリア膜としてT i S i N膜を用いたときの製造工程断面図。

【図3】本発明の第3の実施形態を示した図であり、銅

配線の上部のバリア膜としてシリサイド膜を用いたときの製造工程断面図。

【図4】本発明の第4の実施形態を示した図であり、銅配線の上部のバリア膜としてW膜を用いたときの製造工程断面図。

【図5】従来技術の一例を示した断面図。

【図6】従来技術の他の例を示した断面図。

【図7】従来技術の他の例を示した断面図。

【図8】従来技術の他の例を示した製造工程断面図。

10 【符号の説明】

1 1…半導体基板

1 2…層間絶縁膜

1 3…T i N膜

1 4…銅配線

1 5…シリコン膜

1 6…シリコン空化膜

2 1…T i N膜

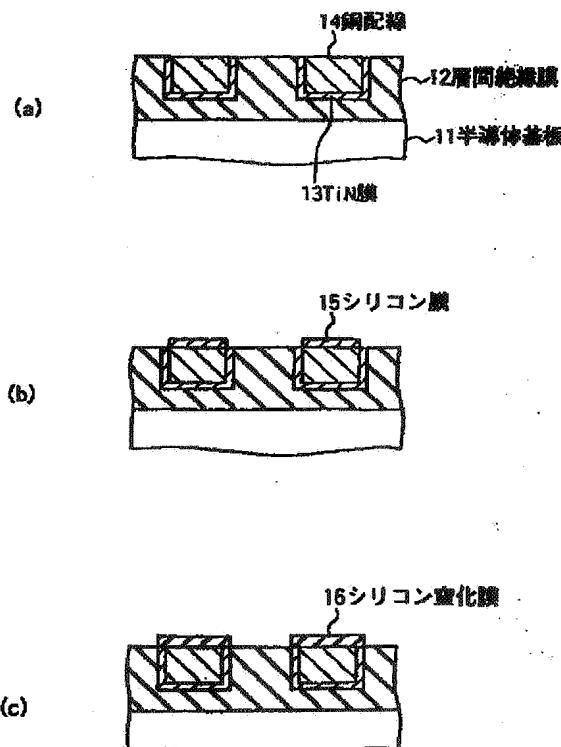
2 2…T i S i N膜

3 1…N i 膜

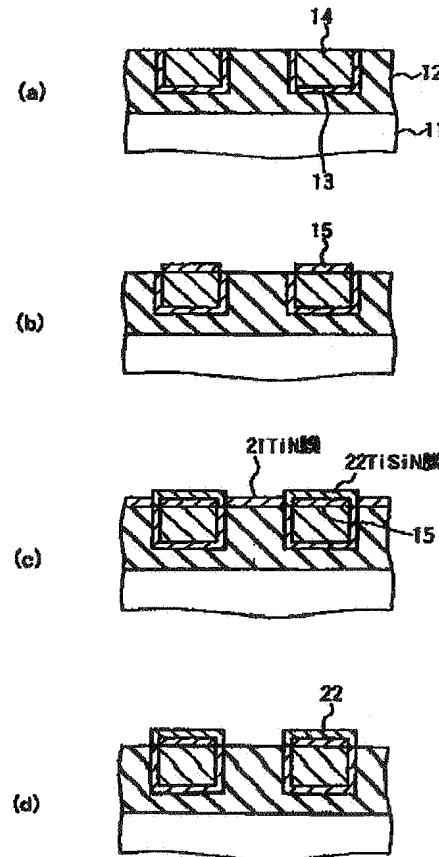
20 3 2…シリサイド膜

4 1…W膜

【図1】



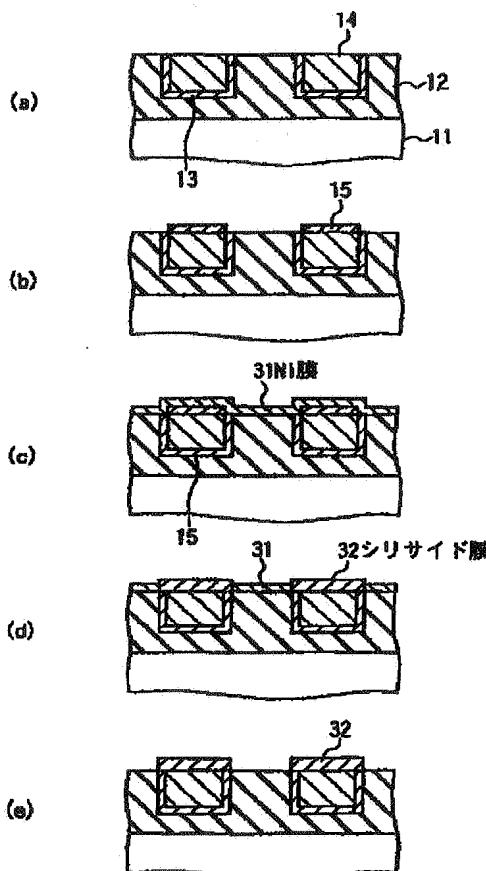
【図2】



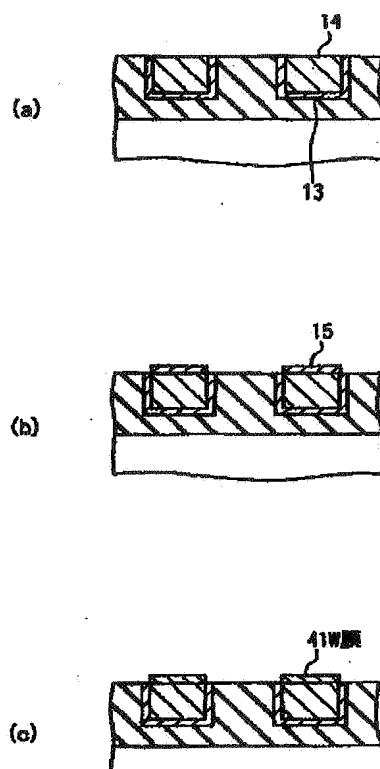
(6)

特開平11-204523

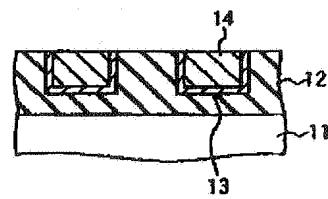
【図3】



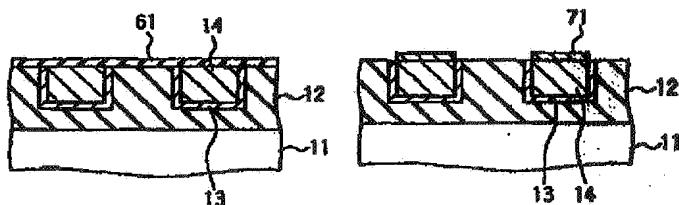
【図4】



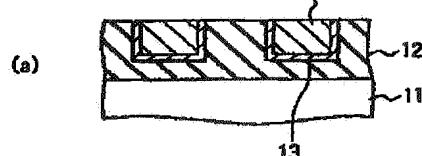
【図5】



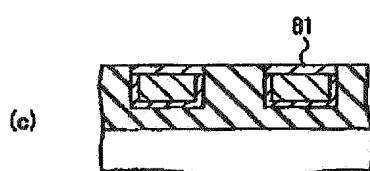
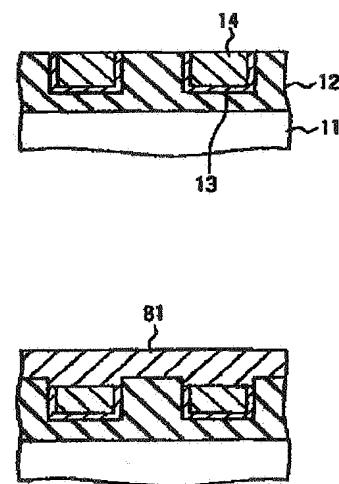
【図6】



【図7】



【図8】



⑫ 公開特許公報 (A)

平3-262125

⑬ Int. CL⁵

H 01 L 21/3205

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月21日

6810-4M H 01 L 21/88

M

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特願 平2-61943

⑭ 出願 平2(1990)3月12日

⑮ 発明者 前川 和義 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑮ 発明者 岡本 龍郎 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑯ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑯ 代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体基板上に素子と、これらの配線層が形成された半導体装置において、

上記配線層がシリコン元素を0.05ないし1.5at%含む銅・シリコン合金よりなることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置に関し、さらに詳しくは、半導体装置における金属配線膜の改良構造に関するものである。

〔従来の技術〕

従来例における配線技術を適用した半導体回路装置のうち、ここでは、特に配線材料として、AlSiあるいはAlSiCuを使用した場合のコンタクトホール部での模式的な断面構成を第2図に示してある。

すなわち、この第2図に示す従来例による装置構成において、1はシリコン半導体基板であり、2はこのシリコン半導体基板1上に形成されたシリコン酸化膜からなる第1層絶縁膜であり、3は層間絶縁膜であり、4はAlSiあるいはAlSiCuを材料として使用した金属配線膜であり、5はゲートであり、6はコンタクトホール部であり、8は素子間分離部である。

ここで、シリコン半導体基板1上での第1層絶縁膜2及び層間絶縁膜3を選択的にエッチングし、そのエッチングマスクに用いたレジストを除去した後に、これらの上に第1層金属配線膜4を形成することにより、前記第2図に見られるような断面構造の装置構成が得られる。

しかし、この装置構成の場合、素子構成の微細化の要望にともない、配線断面積が減少し、金属配線部において、エレクトロマイグレーションあるいは、ストレスマイグレーション等、配線の断線が生じ、信頼性に係わる問題が生じてきた。

(発明が解決しようとする課題)

このように、従来の A I S I 、 A I S I C u を用いた金属配線においては、素子の微細化に伴ない、電流密度の上昇に伴なう、エレクトロマイグレーション、あるいは、配線に加わる応力に起因するストレスマイグレーションといった問題が生じてきた。

またコンタクトホールの微細化に伴ないコンタクト部におけるカバレージの問題や金属配線膜とシリコン半導体基板間の相互拡散等による界面における安定性や密着性の問題が生じてきた。

さらには、金属配線部におけるヒロック発生といった問題が生じてきた。

この発明は、上記のような問題点を解消するためになされたもので、金属配線における耐エレクトロマイグレーション特性及び耐ストレスマイグレーション特性の向上が図れ、また配線の強度を高め、低抵抗化することができる半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、金属配線材とし

て、シリコン元素を 0.05ないし 1.5 at % 含有する銅シリコン合金を用いたものである。

〔作用〕

この発明においては、金属配線材料として、C u S i 系合金を用いることにより、配線の強度を向上させかつ、低抵抗化することができ、また耐ストレスマイグレーション特性及び耐エレクトロマイグレーション特性を向上させることができる。

〔実施例〕

以下、この発明を適用した半導体装置の一実施例につき第 1 図を参照して詳細に説明する。

第 1 図は、この実施例を適用した半導体装置の概要を模式的に示す断面構造図であり、この第 1 図の実施例において、前記第 2 図の構成と同一または相当部分を示している。

この第 1 図の実施例においても、シリコン半導体 1 上にあって、まず、酸化膜層 2 を形成し、次にゲート電極 3 を形成した後、層間絶縁膜としての第 1 層絶縁膜 3 を形成し、その後、第 1 層絶縁膜を選択的にエッチングし、そのマスクに用いた

レジストを除去した後に、これらの上層として配線材と異なる金属材料からなる金属層、例えばバリアメタル 7 を形成し、更にその後スパッタあるいは C V D 技術を用いて C u S i により金属配線 4 を形成する。

以上のように構成されるこの実施例装置においては、金属配線部における強度を向上させることができる。同時に、耐ストレスマイグレーション特性及び耐エレクトロマイグレーション特性を向上させることができる。また例えば C u - 1 at % S i の電気抵抗率は $1.73 \mu \Omega \text{cm}$ であり、A 1 - 1 at % S i の電気抵抗率は $2.73 \mu \Omega \text{cm}$ であり、C u S i 合金は、A I S I 合金に比べ低抵抗であるので、金属配線部における電気信号の伝達遅延及び発熱を抑えることができる。

また、コンタクトホール部において配線材料とは異なる材料である T i 、 T a 、 M o 、 W 等の高融点金属あるいはこれらの金属の窒化物、珪素物、炭素物ホウ化物等の金属材料よりなる金属層を配線膜の下層に形成することにより、配線膜におい

てヒロックの発生を抑制し、また配線膜にかかる応力を緩和し断線を防止し、耐ストレスマイグレーション特性及び耐エレクトロマイグレーション特性を向上させることができる。更には、配線膜と下層絶縁膜との界面における相互拡散を防止し、界面における安定性及び密着性を向上させ、またヒロックの発生を防止する。

更に金属配線材として、C u S i 系合金に C u 、 S i 以外の元素を添加した合金を用いることにより、結晶粒界に不純物元素を析出させ、配線の強度を向上させると共に、粒内の不純物含有量を低減し、低抵抗化することができる。また、添加元素によるヒロックの発生の低減もはかれる。

ここで、本発明における C u 中への S i 含有量を 0.5 at % ～ 1.5 at % と規定したが、これは、以下に示す理由による。

第 1 の理由は、純銅 (99.95% C u) の引張強度は 21.7 kg/mm^2 であるのに対し、C u - 0.5 at % S i 合金の引張強度は 40.0 kg/mm^2 程度と S i 含有量が 0.5 at % を越える

あたりから、本発明に有効な効果を発揮しかねるからである。

第2の理由は、第3図に示すCu-Si系合金の平衡状態図から明らかなように、Cuを11.25%以上含有された場合、 β 相あるいは τ 、 δ 、 κ 等の組織が析出し、配線強度は上昇するが、Cu-15at%Si合金の電気抵抗率は $3.2\mu\Omega\text{cm}$ となり、Cu中のSi濃度が15at%を越えると、配線材として使用するのは困難となるからである。

以上の理由により、Cu-Si合金中のSi濃度を0.5~15at%と定めた。

なお、上記実施例では、第一層金属配線の場合について説明したが、多層配線の場合にも上記実施例と同様の効果を奏する。

また、上記実施例では基板にシリコン基板を用いた場合について説明したが、基板として石英・サファイア等を使用した場合、また下層導体層としてPoly-Si、高融点金属及びそのシリサイドを使用した場合にも、上記実施例と同様の効

果を奏する。

更に、上記実施例では、金属配線材としてCu-Si(0~15at%Si)系合金を用いた場合について説明したが、Cu-Siに第3元素として添加する元素としては、Ti、Ta、Ag、Pt等を添加した場合、上記実施例に示した効果が得られる。なお、添加量は0.01at%程度から上記実施例に述べた効果を発揮し、2at%程度以上添加すると配線材が脆化するため、0.01~2at%と規定する。

〔発明の効果〕

以上のように、この発明に係る半導体装置によれば、金属配線材料としてCu-Si(0.05~15at%Si)系合金を用いたので、配線の強度を高め、かつ低抵抗化することができる。同時に耐ストレスマイグレーション特性及び耐エレクトロマイグレーション特性の向上が図れる。

4. 図面の簡単な説明

第1図はこの発明の実施例を適用した半導体装置の概要を模式的に示す断面構造図、第2図は從

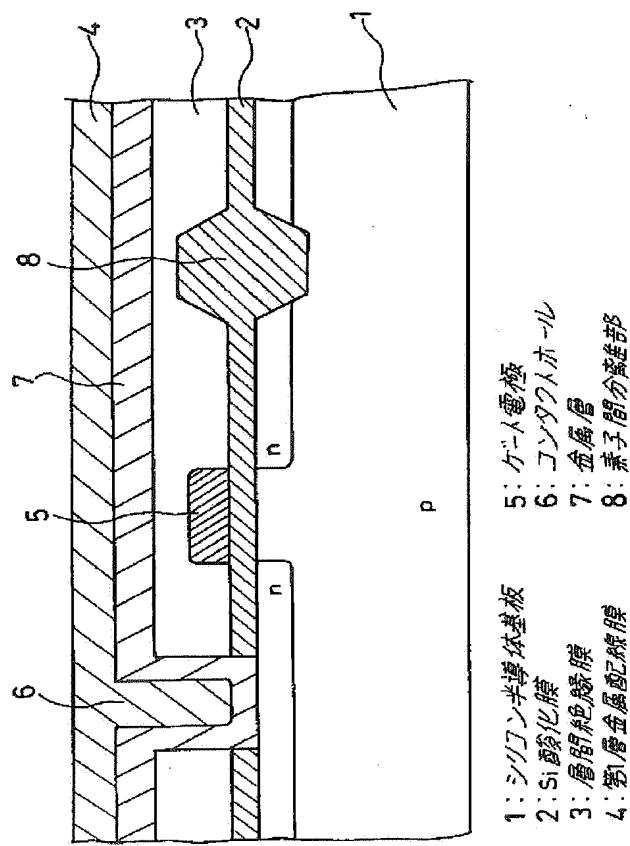
来例による同上半導体装置の概要を模式的に示す断面構造図、また第3図は、Cu-Si系合金の平衡状態図である。

1…シリコン半導体基板、2…Si酸化膜、3…層間絶縁膜、4…第1層金属配線膜、5…ゲート電極、6…コンタクトホール、7…金属層、8…素子間分離部。

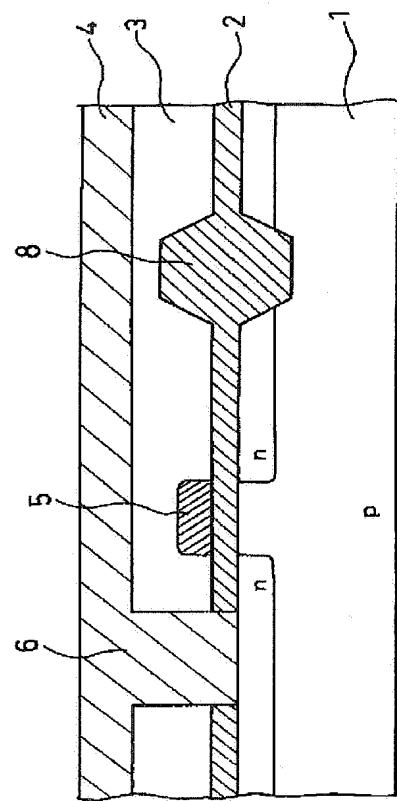
なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬憲一

第1図



第2図



第3図

